

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

012750824 **Image available**

WPI Acc No: 1999-556941/ 199947

XRPX Acc No: N99-412814

Pin junction component of photovoltaic cell such as solar battery - has
pin junction having fine crystal semiconductor in I layer with short
circuit photoelectric current set smaller than that of pin junction
having amorphous semiconductor

Patent Assignee: CANON KK (CANO); SAITO K (SAIT-I)

Inventor: SAITO K

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11243219	A	19990907	JP 9845082	A	19980226	199947 B
US 20020011264	A1	20020131	US 99257259	A	19990225	200210
US 6483021	B2	20021119	US 99257259	A	19990225	200280

Priority Applications (No Type Date): JP 9845082 A 19980226

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11243219	A		13	H01L-031/04	
US 20020011264	A1			H02N-006/00	
US 6483021	B2			H01L-031/00	

Abstract (Basic): JP 11243219 A

NOVELTY - The short circuit photoelectric current in a component
element of pin junction having fine crystal semiconductor in I layer is
smaller than that of pin junction having amorphous semiconductor in I
layer.

USE - For limiting current in solar battery.

ADVANTAGE - Reduces changes in photoelectric conversion efficiency
by prolonged photo-irradiation by using amorphous semiconductor in I
layer. DESCRIPTION OF DRAWING(S) - The figure shows the layer structure
of lamination type photovoltaic cell.

Dwg.1/2

Title Terms: PIN; JUNCTION; COMPONENT; PHOTOVOLTAIC; CELL; SOLAR; BATTERY;
PIN; JUNCTION; FINE; CRYSTAL; SEMICONDUCTOR; LAYER; SHORT; CIRCUIT;
PHOTOELECTRIC; CURRENT; SET; SMALLER; PIN; JUNCTION; AMORPHOUS;
SEMICONDUCTOR

Derwent Class: U12; X15

International Patent Class (Main): H01L-031/00; H01L-031/04; H02N-006/00

International Patent Class (Additional): H01L-025/00

File Segment: EPI

Manual Codes (EPI/S-X): U12-A02A2Q; U12-A02A5; X15-A02B

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-243219

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl.⁶

H 0 1 L 31/04

識別記号

F I

H 0 1 L 31/04

W

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願平10-45082

(22) 出願日 平成10年(1998) 2月26日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 斉藤 恵志

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

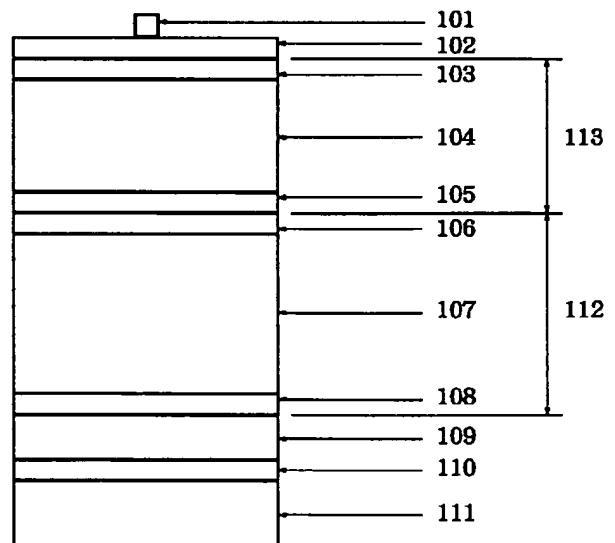
(74) 代理人 弁理士 渡辺 敬介 (外1名)

(54) 【発明の名称】 積層型光起電力素子

(57) 【要約】

【課題】 光電変換効率が高く、長時間の光照射によっても光電変換効率の変化のより少ない積層型光起電力素子を提供する。

【解決手段】 支持体上に、微結晶半導体を i 型層に有する p i n 接合の構成素子と、アモルファス半導体を i 型層に有する p i n 接合の構成素子とを少なくとも積層してなる積層型光起電力素子であって、微結晶半導体を i 型層に有する p i n 接合の構成素子によって電流値が律速されている。



【特許請求の範囲】

【請求項1】 支持体上に、微結晶半導体をi型層に有するpin接合の構成素子と、アモルファス半導体をi型層に有するpin接合の構成素子とを少なくとも積層してなる積層型光起電力素子において、微結晶半導体をi型層に有するpin接合の構成素子によって電流値が律速されていることを特徴とする積層型光起電力素子。

【請求項2】 微結晶半導体をi型層に有するpin接合の構成素子の短絡光電流が、アモルファス半導体をi型層に有するpin接合の構成素子の短絡光電流よりも小さく設定されていることを特徴とする請求項1に記載の積層型光起電力素子。

【請求項3】 微結晶半導体のi型層の平均結晶粒径が、100Å以上1000Å以下の範囲であることを特徴とする請求項1または2に記載の積層型光起電力素子。

【請求項4】 微結晶半導体のi型層が、柱状晶構造を有していることを特徴とする請求項1～3のいずれかに記載の積層型光起電力素子。

【請求項5】 微結晶半導体のi型層のバンドギャップが、p型層とi型層、n型層とi型層との各界面方向で広くなるように設定されていることを特徴とする請求項1～4のいずれかに記載の積層型光起電力素子。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、太陽電池等の光起電力素子に係り、特にpin接合の構成素子が複数積層されている積層型光起電力素子に関する。

【0002】

【従来の技術】 薄膜光起電力素子に関する技術は、例えばUSP4064521号公報に開示されている。しかしながら、積層型光起電力素子の場合、どのような構成にすると光電変換効率が向上し、光電変換効率が安定化するのかについては全く記載されていない。

【0003】 また、積層型光起電力素子の構成については、光起電力素子の形状因子(FF)の低下しない方法が、USP5298086号公報に開示されている。同公報には、膜質の良い半導体層を薄くし、かつ積層型光起電力素子の電流を膜質の良い薄い構成素子で律速することが記載されている。

【0004】

【発明が解決しようとする課題】 ところで、USP5298086号公報に提案されている方法では、積層型光起電力素子の光電変換効率を最大にし、かつ長時間の光照射による安定性を保持する上で十分ではない。特に、積層型光起電力素子の第一のpin接合の構成素子のi型層に微結晶半導体を用い、第二のpin接合の構成素子のi型層にアモルファス半導体を用いる場合には、この方法では高い光電変換効率と安定性を保持することは

できなかった。

【0005】 本発明は、第一のpin接合の構成素子のi型層に微結晶半導体を用い、第二のpin接合の構成素子のi型層にアモルファス半導体を用いて、光電変換効率が高く、長時間の光照射によっても光電変換効率の変化のより少ない積層型光起電力素子を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記の目的を達成するために、本発明の積層型光起電力素子は、支持体上に、微結晶半導体をi型層に有するpin接合の構成素子と、アモルファス半導体をi型層に有するpin接合の構成素子とを少なくとも積層してなる積層型光起電力素子において、微結晶半導体をi型層に有するpin接合の構成素子によって電流値が律速されているものである。

【0007】 また、微結晶半導体をi型層に有するpin接合の構成素子の短絡電流が、アモルファス半導体をi型層に有するpin接合の構成素子の短絡電流よりも小さく設定されていることが好ましい。

【0008】 さらに、微結晶半導体のi型層の平均結晶粒径が、100Å以上1000Å以下の範囲であることが好ましい。

【0009】 そして、微結晶半導体のi型層が、柱状晶構造を有していることが好ましい。

【0010】 また、微結晶半導体のi型層のバンドギャップが、p型層とi型層、n型層とi型層との各界面方向で広くなるように設定されていることが好ましい。

【0011】 上記のように、本発明は新規な積層型光起電力素子に係るものであり、以下に本発明の作用を説明する。

【0012】 積層型光起電力素子において、光起電力素子の光電変換効率を最大にするには、各構成素子の初期特性のみならず、長時間の光照射による劣化特性をも考慮して積層型光起電力素子を設計しなければならない。例えば、従来のアモルファスシリコン系半導体のみによる積層型光起電力素子では長時間の光照射による特性低下が大きいため、長時間の光照射で発電される電力を最大するように設計することができなかった。

【0013】 本発明の積層型光起電力素子は、微結晶シリコン半導体をi型層とする光起電力素子と、アモルファスシリコン半導体をi型層とする光起電力素子とを積層してなる。微結晶シリコン半導体は、長時間の光照射に対して特性変化の少ないものである。一方、アモルファスシリコン半導体は、周知の如く、長時間の光照射によって特性が大きく低下するものである。本発明は、光劣化しない微結晶シリコン半導体とアモルファスシリコン半導体とを組み合わせることによって上記課題を解決したものである。

【0014】 従来のアモルファスシリコン系半導体をi型層に使用した積層型光起電力素子では、一般的には各

構成素子の光照射下における電流値が等しくなるように設計することが一般的であった。また、光入射側のi型層の堆積速度が最も遅い場合には、該層の光電流値が最も小さくなるように各層の厚さを調節していた。

【0015】ところが、このような設計指針では、微結晶シリコン半導体をi型層に使用した光起電力素子とアモルファスシリコン半導体をi型層に使用した光起電力素子の積層型光起電力素子の最適設計を行うことはできない。

【0016】本発明における微結晶シリコン半導体は、アモルファスシリコン半導体と違って長時間の光照射によっても特性が低下しないために、上記指針にしたがって積層型光起電力素子と設計すると、長時間の光照射によって律速素子であるアモルファスシリコン光起電力素子が光劣化し積層型光起電力素子の特性が経時的に大幅に低下していく。

【0017】本発明者はこの点について鋭意検討した結果、実質的に光劣化しない微結晶シリコン半導体をi型層として有するpin接合の構成素子を積層型光起電力素子の電流値を律速する素子とすることによって、長時間の光照射による特性低下を大幅に減少させることができることを見出した。

【0018】

【発明の実施の形態】以下、本発明の積層型光起電力素子の実施形態を説明するが、本発明はこれらによって何

ら限定されるものではない。

【0019】図1および表1～表4に基づいて本発明を詳細に説明する。図1は、本発明の積層型光起電力素子の層構造の一形態を示す概略図である。

【0020】図1において、本発明の積層型光起電力素子は、ステンレス鋼等の金属基板、またはガラス等の絶縁基板111上に、Al、Cu、Ag等からなる反射層110、酸化亜鉛、酸化インジウム、酸化錫等からなる反射増化層109、nまたはp型層108、i型層107、pまたはn型層106からなるボトム光起電力素子112、nまたはp型層105、i型層104、pまたはn型層103からなるトップ光起電力素子113、ITO等の透明電極102、および集電電極101が順に積層されている。この光起電力素子において、ボトム光起電力素子112のi型層は微結晶シリコン半導体から構成されている。

【0021】表1～表4は、トップ光起電力素子（トップ）とボトム光起電力素子（ボトム）の短絡光電流を変えて光劣化させた場合に、積層型光起電力素子（ダブル）の光電変換効率がどのように変化していくかを示している。本発明において、光劣化は主にトップ光起電力素子で起こり、ボトム光起電力素子では起こらないものである。

【0022】

【表1】

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	11.0	0.700	7.32	1
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.677	10.65	

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	11.0	0.650	6.79	0.951
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.644	10.13	

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	11.0	0.600	6.27	0.901
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.610	9.60	

【0023】表1は、トップ光起電力素子とボトム光起電力素子の短絡光電流が等しい場合である。

【0024】

【表2】

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	11.0	0.700	7.32	
ボトム	0.48	12.0	0.660	3.80	
ダブル	1.43	11.0	0.695	10.93	1

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	11.0	0.650	6.79	
ボトム	0.48	12.0	0.660	3.80	
ダブル	1.43	11.0	0.659	10.37	0.948

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	11.0	0.600	6.27	
ボトム	0.48	12.0	0.660	3.80	
ダブル	1.43	11.0	0.623	9.80	0.896

【0025】表2は、トップ光起電力素子の短絡光電流がボトム光起電力素子の短絡光電流よりも少ない場合である。

【0026】
【表3】

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	12.0	0.700	7.98	
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.709	11.15	1

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	12.0	0.650	7.41	
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.679	10.68	0.958

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	12.0	0.600	6.84	
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.646	10.16	0.911

【0027】表3は、トップ光起電力素子の短絡光電流がボトムの短絡光電流よりも多い場合である。

【0028】
【表4】

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	14.0	0.700	9.31	
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.744	11.70	1

	Voc	Jsc	FF	EFF	効率の比
トップ	0.95	14.0	0.600	7.98	
ボトム	0.48	11.0	0.660	3.48	
ダブル	1.43	11.0	0.693	10.90	0.931

【0029】表4は、トップの短絡光電流がボトムの短絡光電流よりも極端に多い場合である。

【0030】以上の4つの場合を比較すると、明らかにトップ光起電力素子の短絡光電流が大きい方が、トップ光起電力素子の光劣化が生じた場合には積層型光起電力素子の光電変換効率が高くなることが判る。

【0031】以上のように、微結晶シリコン半導体をi型層に用いた光起電力素子とアモルファスシリコン半導体をi型層に用いた光起電力素子とを積層した積層型光起電力素子においては、光劣化の殆どない微結晶シリコン半導体をi型層に用いた光起電力素子の電流値により積層型光起電力素子の光電流が定まるようにすることによって、長期間にわたって光電変換効率の安定した光起電力素子を提供することができるものである。

【0032】積層型光起電力素子の各構成素子の短絡光電流は、光起電力素子の分光感度特性から測定される。例えば、pin接合を有する光起電力素子を2つ積層したダブル構造の光起電力素子の場合、トップ光起電力素子とボトム光起電力素子の短絡光電流は以下のようにして測定される。

【0033】トップ光起電力素子の短絡光電流は、積層型光起電力素子にボトム光起電力素子の光照射時の起電力に対応する順バイアスを印加し、かつボトム光起電力素子で主に吸収される領域の光を照射して、この状態でトップ光起電力素子に分光した光を照射して分光特性を測定し、この分光特性に太陽光の分光強度を畳み込んでトップ光起電力素子の電流値を計算する。

【0034】ボトム光起電力素子の短絡光電流は、トップ光起電力素子と同様に、トップ光起電力素子にトップ光起電力で主に吸収される光を照射し、トップ光起電力素子の起電力に対応する順バイアスを印加して、この状態で分光感度特性を測定し、この分光感度特性と太陽光の分光特性とを畳み込んでトップ光起電力素子の電流値を計算する。

【0035】また、このようなpin接合を有する光起電力素子を2つ積層したダブル構造の光起電力素子の他に、pin接合を有する光起電力素子を3つ積層したトリプル構造、およびそれ以上の積層型光起電力素子においても本発明を適用することができるものである。

【0036】図2は、本発明の積層型光起電力素子を作成するための堆積膜形成装置を示す模式図である。図2において、堆積膜形成装置は、ロードチャンバー201、微結晶シリコンi型層チャンバー202、アモルファスシリコンi型層とp型層とn型層のRFチャンバー203、微結晶シリコンゲルマニウムi型層チャンバー204、およびアンロードチャンバー220から主に構成されている。各チャンバーは、ゲートバルブ206、207、208、209で各原料ガスが混合しないように分離されている。

【0037】微結晶シリコンi型層チャンバー202

は、基板加熱用のヒーター211およびプラズマCVD室210から構成されている。RFチャンバー203は、n型層堆積用ヒーター212とn型層堆積用の堆積室215、i型層堆積用ヒーター213とi型層堆積用の堆積室216、p型層堆積用ヒーター214とp型層堆積用の堆積室217を有している。微結晶シリコンゲルマニウムi型層チャンバー204は、ヒーター218とプラズマCVD室219を有している。

【0038】基板は基板ホルダー221に取り付けられ、レール220上を外部から駆動されるローラーによって移動する。

【0039】プラズマCVD室210と219では、微結晶を堆積する。微結晶は、マイクロ波プラズマCVD法またはVHFプラズマCVD法が使用される。

【0040】このような堆積膜形成装置を使用して、本発明の積層型光起電力素子は以下のようにして形成される。まず、ステンレス基板を基板ホルダー221にセットしロードチャンバー201のレール220上にセットする。そして、ロードチャンバー201内を数mTorr以下の真空度に排気する。

【0041】次に、ゲートバルブ206と207を開け、基板ホルダー221をチャンバー203のn型層堆積室215に移動する。各ゲートバルブ206、207を閉じ、所望の原料ガスでn型層を所望の層厚に堆積する。十分に排気した後、ゲートバルブ207を開けて基板ホルダー221を堆積チャンバー202に移動し、ゲートバルブ207を閉じる。

【0042】ヒーター211で基板を所望の基板温度に加熱し、所望の原料ガスを必要量導入し、所望の真空度にして、所定のマイクロ波エネルギーまたはVHFエネルギーを堆積室210へ導入し、プラズマを発生させて基板上に微結晶シリコンi型層を所望の層厚に堆積する。チャンバー202を十分に排気し、ゲートバルブ207を開けて基板ホルダー221をチャンバー220からチャンバー203へ移動する。

【0043】基板ホルダー221をチャンバー203のp型層堆積室217に移動して、ヒーター214によって基板を所望の温度に加熱する。堆積室217にp型層堆積用の原料ガスを所望の流量だけ供給し、所望の真空度に維持しつつ堆積室217にRFエネルギーを導入し、p型層を所望の層厚に堆積する。

【0044】p型層堆積後、堆積室217を十分に排気し、基板ホルダー221を同じチャンバー内のn型層堆積室215に移動する。上記のn型層と同様にしてp型層上にn型層を堆積する。堆積室215を十分に排気し、基板ホルダーをi型層堆積室216へ移動する。

【0045】ヒーター213で基板を所望の基板温度に加熱し、i型層堆積用の原料ガスを所望の流量を堆積室に供給し、堆積室216内の圧力を所望の圧力に維持して、所望のRFエネルギーを導入する。堆積室216を

十分に排気し、基板ホルダー221を堆積室216から堆積室217に移動し、上記のp型層と同様にして、i型層上にp型層を堆積する。上記と同様にして堆積室217を十分に排気した後、ゲートバルブ208、209を開け、半導体層を堆積した基板をセットした基板ホルダー221をアンロードチャンバー205へ移動する。

【0046】ゲートバルブを全て閉じ、アンロードチャンバー205内へ窒素ガスを封入して、基板温度を所望の温度に冷却する。その後、アンロードチャンバー205の取り出しバルブを開けて、基板ホルダー221を取り出す。

【0047】そして、不図示の透明電極堆積用の蒸着器を用いて、p型層上に透明電極を所望の層厚に堆積する。また、同様にして、透明電極上に集電電極を堆積する。

【0048】次に、本発明の積層型光起電力素子の各構成要素について詳細に説明する。

【0049】〈基板、反射層〉本発明の積層型光起電力素子に用いる基板としては、ステンレス鋼などの金属基板、特にフェライト系のステンレス鋼が適している。また、絶縁性基板では、ガラスやセラミックスなどが適している。

【0050】絶縁性基板の場合には、絶縁性基板上に金属や透明導電膜などを堆積して、絶縁性基板上を導電処理する必要がある。ガラスなどの透光性基板を使用して、基板上に透明導電膜を堆積して光起電力素子を形成した場合、光は半導体側に入射するのみならず、透光性基板側から入射することも可能である。

【0051】導電処理としては、Al、Ag、Cuなどの金属単体、またはそれらの合金を反射層として堆積することが挙げられる。反射層の厚さとしては、金属そのものの反射率が得られる厚さ以上の厚さに堆積することが必要である。

【0052】反射層の表面ができるだけ平坦であるように形成するには、比較的低い温度で数100Å～3000Åの厚さで形成することが好ましい。また、反射層の表面が凹凸であるように形成するには、3000Åより厚く、数μ以下の厚さで形成することが好ましい。

【0053】〈反射増加層〉また、半導体層で吸収される光量を多くするための反射増加層を上記の金属基板または反射層上に設けることが望ましい。反射増加層としては、酸化インジウム、酸化錫、酸化亜鉛などの酸化物が適している。反射増加層の層厚としては、1000Å～50000Åが最適な範囲として挙げられる。

【0054】〈p型層、n型層〉p型層またはn型層は、光起電力素子の特性を左右する重要な層である。p型層またはn型層のアモルファス材料、微結晶や多結晶材料としては、例えばa-Si:H、a-Si:HX、a-SiC:H、a-SiC:HX、a-SiGe:H、a-SiGeC:H、a-SiO:H、a-Si

N:H、a-SiON:HX、a-SiOCN:HX、μc-Si:H、μc-SiC:H、μc-Si:HX、μc-SiC:HX、μc-SiGe:H、μc-SiO:H、μc-SiGeC:H、μc-SiN:H、μc-SiON:HX、μc-SiOCN:HX、poly-Si:H、poly-Si:HX、poly-SiC:H、poly-SiC:HX、poly-SiGe:H、poly-Si、poly-SiC、poly-SiGeなどにp型の価電子制御剤（周期率表第III族原子B、Al、Ga、In、Tl）やn型の価電子制御剤（周期率表第V族原子P、As、Sb、Bi）を高濃度に添加した材料が挙げられる。

【0055】特に、光入射側のp型層またはn型層には、光吸収の少ない結晶性の半導体層がバンドギャップの広い非晶質半導体層が適している。

【0056】p型層への周期率表第III族原子の添加量、およびn型層への周期率表第V族原子の添加量は、0.1～50at%が最適として挙げられる。

【0057】また、p型層またはn型層に含有される水素原子（H、D）またはハロゲン原子は、p型層またはn型層の未結合手を補償する働きをし、p型層またはn型層のドーピング効率を向上させるものである。p型層またはn型層へ添加される水素原子またはハロゲン原子は、0.1～40at%が最適として挙げられる。特に、p型層またはn型層が結晶性の場合、水素原子またはハロゲン原子は0.1～8at%が最適として挙げられる。

【0058】さらに、p型層/i型層、n型層/i型層の各界面側で水素原子または/およびハロゲン原子の含有量が多く分布しているものが好ましい分布形態として挙げられ、該界面近傍での水素原子または/およびハロゲン原子の含有量はバルク内の含有量の1.1～2倍の範囲が好ましい範囲として挙げられる。このようにp型層/i型層、n型層/i型層の各界面近傍で水素原子またはハロゲン原子の含有量を多くすることによって、該界面近傍の欠陥準位や機械的歪を減少させることができ、本発明の積層型光起電力素子の光起電力や光電流を増加させることができる。

【0059】光起電力素子のp型層およびn型層の電気特性としては、活性化エネルギーが0.2eV以下のものが好ましく、0.1eV以下のものが最適である。また、非抵抗としては100Ωcm以下が好ましく、1Ωcm以下が最適である。さらに、p型層およびn型層の層厚は1～50nmが好ましく、3～10nmが最適である。

【0060】光起電力素子のp型層またはn型層の堆積に適した原料ガスとしては、シリコン原子を含有するガス化し得る化合物、ゲルマニウム原子を含有するガス化し得る化合物、炭素原子を含有するガス化し得る化合物、およびこれらの化合物の混合ガスなどを挙げるこ

ができる。

【0061】シリコン原子を含有するガス化し得る化合物としては、 SiH_4 、 SiH_6 、 SiF_4 、 SiFH_3 、 SiF_2H_2 、 SiF_3H 、 Si_3H_8 、 SiD_4 、 SiHD_3 、 SiH_2D_2 、 SiH_3D 、 SiFD_3 、 SiF_2D_2 、 SiD_3H 、 $\text{Si}_2\text{D}_3\text{H}_3$ などが挙げられる。

【0062】ゲルマニウム原子を含有するガス化し得る化合物としては、 GeH_4 、 GeD_4 、 GeF_4 、 GeFH_3 、 GeF_2H_2 、 GeF_3H 、 GeHD_3 、 GeH_2D_2 、 GeH_3D 、 GeH_6 、 GeD_6 などが挙げられる。

【0063】炭素原子を含有するガス化し得る化合物としては、 CH_4 、 CD_4 、 $\text{C}_n\text{H}_{2n+2}$ (n は整数)、 C_nH_{2n} (n は整数)、 C_2H_2 、 C_6H_6 、 CO_2 、 CO などが挙げられる。

【0064】窒素含有ガスとしては、 N_2 、 NH_3 、 ND_3 、 NO 、 NO_2 、 N_2O などが挙げられる。

【0065】酸素含有ガスとしては、 O_2 、 CO 、 CO_2 、 NO 、 NO_2 、 N_2O 、 $\text{CH}_3\text{CH}_2\text{OH}$ 、 CH_3OH などが挙げられる。

【0066】価電子制御するためにp型層またはn型層に導入される物質としては、周期率表第Ⅲ族原子および第Ⅴ族原子が挙げられる。

【0067】第Ⅲ族原子導入用の出発物質として有効に使用されるものとしては、ホウ素原子導入用として、 B_2H_6 、 B_4H_{10} 、 B_5H_9 、 B_5H_{11} 、 B_6H_{10} 、 B_6H_{12} 、 B_6H_{14} などの水素化ホウ素、 BF_3 、 BCl_3 などのハロゲン化ホウ素などが挙げられる。その他には、 AlCl_3 、 GaCl_3 、 InCl_3 、 TlCl_3 などを挙げることができ、特に B_2H_6 、 BF_3 が適している。

【0068】第Ⅴ族原子導入用の出発物質として有効に使用されるのは、燐原子導入用として、 PH_3 、 P_2H_4 などの水素化燐、 PH_4I 、 PF_3 、 PF_5 、 PCl_3 、 PCl_5 、 PBr_3 、 PBr_5 、 PI_3 などのハロゲン化燐が挙げられる。その他には、 AsH_3 、 AsF_3 、 AsCl_3 、 AsBr_3 、 AsF_5 、 SbH_3 、 SbF_3 、 SbF_5 、 SbCl_3 、 SbCl_5 、 BiH_3 、 BiCl_3 、 BiBr_3 などを挙げるができ、特に PH_3 、 PF_3 が適している。

【0069】光起電力素子に適したp型層またはn型層の堆積方法は、RFプラズマCVD法、VHFプラズマCVD法、マイクロ波プラズマCVD法などである。特に、RFプラズマCVD法で堆積する場合、容量結合型のRFプラズマCVD法が適している。RFプラズマCVD法でp型層またはn型層を堆積する場合、堆積室内の基板温度は100～350℃、内圧は0.1～10 Torr、RFパワーは0.01～5.0 W/cm²、堆積速度は0.1～30 Å/secが最適条件として挙げられる。

【0070】また、上記のガス化し得る化合物を H_2 、

He 、 Ne 、 Ar 、 Xe 、 Kr などのガスで適宜希釈して堆積室に導入しても良い。

【0071】特に、微結晶半導体やa-SiC:H等の光吸収の少ないバンドギャップの広い層を堆積する場合には、水素ガスで2～100倍に原料ガスを希釈し、RFおよびVHFパワーは比較的高いパワーを導入するのが好ましい。RFの周波数としては1 MHz～300 MHzが適した範囲であり、特に13.56 MHz近傍の周波数が最適である。

【0072】p型層またはn型層をマイクロ波プラズマCVD法で堆積する場合、マイクロ波プラズマCVD装置は、堆積室に誘電体窓(アルミナセラミックス等)を介して導波管でマイクロ波を導入する方法が適している。マイクロ波プラズマCVD法でp型層またはn型層を堆積する場合、本発明の堆積膜形成方法も適した堆積方法であるが、更に広い堆積条件で光起電力素子に適用可能な堆積膜を形成することができる。

【0073】マイクロ波プラズマCVD法によりp型層またはn型層を堆積する場合、堆積室内の基板温度は100～400℃、内圧は0.5～30 mTorr、マイクロ波パワーは0.01～1 W/cm³、マイクロ波の周波数は0.5～10 GHzが好ましい範囲として挙げられる。

【0074】また、上記のガス化し得る化合物を H_2 、 He 、 Ne 、 Ar 、 Xe 、 Kr などのガスで適宜希釈して堆積室に導入しても良い。

【0075】特に、微結晶半導体やa-SiC:H等の光吸収の少ないバンドギャップの広い層を堆積する場合には、水素ガスで2～100倍に原料ガスを希釈し、マイクロ波パワーは比較的高いパワーを導入するのが好ましい。

【0076】〈微結晶i型層〉本発明の積層型光起電力素子の微結晶シリコンの堆積に好適な方法は、RFプラズマCVD法、VHFプラズマCVD法、マイクロ波プラズマCVD法などが挙げられる。特に、微結晶シリコンの堆積速度は使用する電磁波に依存し、同一の投入エネルギーでは周波数が高い方が堆積速度が速くなる。

【0077】本発明における微結晶シリコンに適したシリコン原子供給用の原料ガスとしては、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiHF_3 、 SiH_2F_2 、 SiH_3F 、 SiH_3Cl 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiD_4 、 SiHD_3 、 SiH_2D_2 、 SiH_3D 、 SiFD_3 、 SiF_2D_2 、 SiD_3H 、 $\text{Si}_2\text{D}_3\text{H}_3$ などのシラン系原料ガスが挙げられる。

【0078】また、微結晶シリコンゲルマニウムに適したゲルマニウム供給用の原料ガスとしては、 GeH_4 、 GeF_4 、 GeHF_3 、 GeH_2F_2 、 GeH_3F 、 GeHCl_3 、 GeH_2Cl_2 、 GeH_3Cl 、 GeHD_3 、 GeH_2D_2 、 GeH_3D 、 GeH_6 、 GeD_6 などが挙げられる。

【0079】原料ガスは、良好な微結晶半導体を形成するために、水素ガスで希釈する必要がある、その希釈率は10倍以上が好ましい。特に好ましい希釈率の範囲は、10倍から100倍の範囲である。希釈率が小さい場合には微結晶が形成されず、アモルファスが形成される。一方、希釈率を高くし過ぎた場合には、微結晶の堆積速度が低くなり過ぎて実用上の問題が生じる。また、水素希釈に加えてヘリウムガスで希釈することも可能である。

【0080】本発明に適した微結晶を作成するための基板温度は、100～500℃である。特に堆積速度を大きくする場合には、基板温度は比較的高い温度に設定することが望ましい。

【0081】本発明の微結晶を堆積するときのチャンバー内の真空度としては、1mTorr～1Torrが好適な範囲として挙げられる。特に、マイクロ波プラズマCVD法で微結晶半導体を堆積する場合には、真空度は数mTorrが好ましい真空度である。

【0082】本発明における微結晶半導体を堆積する場合のチャンバーへの投入パワーとしては、0.01～10W/cm²の範囲が好適な範囲として挙げられる。また、原料ガスの流量と投入パワーの関係で示すと、堆積速度が投入パワーに依存するパワーリミテッドの領域が適している。

【0083】さらに、本発明における微結晶半導体の堆積には、基板と電力投入用の電極間距離が重要な因子である。本発明に適した微結晶半導体を得られる電極間距離は、10mm～50mmの範囲である。

【0084】本発明の積層型光起電力素子の微結晶半導体に適する平均結晶粒径は、100Å～1000Åが適した範囲として挙げられる。また、微結晶半導体中に含有されるアモルファスの割合は、ラマンスペクトルで見た場合に結晶に関係するピークとアモルファスに関係するピークの比が70%以下が望ましいものである。

【0085】平均結晶粒径が100Åよりも小さいと、結晶粒界にアモルファスが多く存在するようになり、光劣化を示すようになる。また、結晶粒径が小さいと電子や正孔の移動度や寿命が小さくなり、半導体としての特性が低下する。一方、平均結晶粒径が1000Åよりも大きいと、結晶粒界の緩和が十分に進まず結晶粒界に未結合手等の欠陥が生じ、該欠陥が電子や正孔の再結合中心として働き、その結果微結晶半導体の特性が低下する。

【0086】また、微結晶の形状としては、電荷の移動方向に沿って細長い形状が適したものである。加えて、本発明における微結晶中に含有される水素原子またはハロゲン原子の割合は、30%以下が望ましい範囲である。

【0087】光起電力素子において、i型層は照射光に対してキャリアを発生輸送する重要な層である。i型層

としては、僅かにp型、僅かにn型の層も使用することができる（p型になるか、あるいはn型になるかは、テールステイト等の固有欠陥の分布による。）。

【0088】本発明の積層型光起電力素子のi型層としては、バンドギャップが均一な半導体の他に、シリコン原子とゲルマニウム原子とを含有してi型層の層厚方向にバンドギャップが滑らかに変化し、バンドギャップの極小値がi型層の中央の位置よりp型層とi型層の界面方向に片寄っているものも適している。また、i型層中にドナーとなる価電子制御剤とアクセプターとなる価電子制御剤とが同時にドーピングされているものも適している。

【0089】特に、p型層/i型層、n型層/i型層の各界面側で水素原子または/oおよびハロゲン原子の含有量が分布しているものが好ましい分布形態として挙げられ、該界面近傍での水素原子または/oおよびハロゲン原子の含有量はバルク内の含有量の1.1～2.2倍の範囲が好ましい範囲として挙げられる。さらに、シリコン原子の含有量に対応して、水素原子または/oおよびハロゲン原子の含有量が変化していることが好ましい。シリコン原子の含有量が最小のところでの水素原子または/oおよびハロゲン原子の含有量は1～10at%が好ましい範囲で、水素原子または/oおよびハロゲン原子の含有量の最大の領域の0.3～0.8倍が好ましい範囲である。

【0090】水素原子または/oおよびハロゲン原子の含有量をシリコン原子に対応させて変化させる。すなわち、バンドギャップに対応して、バンドギャップの狭いところで水素原子または/oおよびハロゲン原子の含有量が少なくなっているものである。

【0091】メカニズムの詳細については不明ではあるが、本発明の堆積膜形成方法によれば、シリコン原子とゲルマニウム原子を含有する合金系半導体の堆積において、シリコン原子とゲルマニウム原子のイオン化率の違いによってそれぞれの原子が獲得する電磁波エネルギーに差が生じ、その結果、合金系半導体において水素含有量または/oおよびハロゲン含有量が少なくても十分に緩和が進み、良質な合金系半導体を堆積することができるものと考えられる。

【0092】i型層の層厚は、光起電力素子の構造（例えば、シングルセル、タンデムセル、トリプルセルなど）、およびi型層のバンドギャップに大きく依存するが0.7～30.0μmが最適な層厚として挙げられる。

【0093】本発明の堆積膜形成方法によるシリコン原子またはゲルマニウム原子を含有するi型層は、堆積速度を5nm/sec以上に上げて価電子帯側のテールステイトが少ないものであって、テールステイトの傾きは60meV以下であり、かつ電子スピン共鳴(esr)による未結合手の密度は10¹⁷/cm³以下であ

る。

【0094】また、i型層のバンドギャップは、p型層／i型層、n型層／i型層の各界面方向で広くなるように設計することが好ましい。このように設計することによって、光起電力素子の光起電力、光電流を大きくすることができ、更に長時間使用した場合の光劣化等を防止することができる。

【0095】〈アモルファス i 型層〉本発明の積層型光起電力素子のアモルファスシリコンの堆積に好適な方法は、RFプラズマCVD法、VHFプラズマCVD法、マイクロ波プラズマCVD法などが挙げられる。特に、アモルファスシリコンの堆積速度は使用する電磁波に依存し、同一の投入エネルギーでは周波数が高い方が堆積速度が速くなる。

【0096】本発明におけるアモルファスシリコンに適したシリコン原子供給用の原料ガスとしては、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiHF_3 、 SiH_2F_2 、 SiH_3F 、 SiH_3Cl 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiD_4 、 SiHD_3 、 SiH_2D_2 、 SiH_3D 、 SiFD_3 、 SiF_2D_2 、 SiD_3H 、 $\text{Si}_2\text{D}_3\text{H}_3$ などのシラン系原料ガスが挙げられる。

【0097】また、アモルファスシリコンゲルマニウムに適したゲルマニウム供給用の原料ガスとしては、 GeH_4 、 GeF_4 、 GeHF_3 、 GeH_2F_2 、 GeH_3F 、 GeHCl_3 、 GeH_2Cl_2 、 GeH_3Cl 、 GeHD_3 、 GeH_2D_2 、 GeH_3D 、 GeH_6 、 GeD_6 などが挙げられる。

【0098】原料ガスは、良好なアモルファス半導体を形成するために、水素ガスで希釈する必要がある、その希釈率は5倍以上が好ましい。特に好ましい希釈率の範囲は、5倍から50倍の範囲である。また、水素希釈に加えてヘリウムガスで希釈することも可能である。

【0099】本発明に適したアモルファスを作成するための基板温度は、100～500℃である。特に堆積速度を大きくする場合には、基板温度は比較的高い温度に設定することが望ましい。

【0100】本発明のアモルファスを堆積するときのチャンバー内の真空度としては、1mTorr～1Torrが好適な範囲として挙げられる。特に、マイクロ波プラズマCVD法でアモルファス半導体を堆積する場合には、真空度は数mTorrが好ましい真空度である。

【0101】本発明におけるアモルファス半導体を堆積する場合のチャンバーへの投入パワーとしては、0.01～5W/cm²の範囲が好適な範囲として挙げられる。また、原料ガスの流量と投入パワーの関係で示すと、堆積速度が投入パワーに依存するパワーリミテッドの領域が適している。アモルファス半導体の堆積速度を早くした場合には、基板にイオンが衝突するようにバイアスを制御するのが好ましいものである。

【0102】加えて、本発明におけるアモルファス中に

含有される水素原子またはハロゲン原子の割合は、5～30%が望ましい範囲である。

【0103】光起電力素子において、i型層は照射光に対してキャリアを発生輸送する重要な層である。i型層としては、僅かにp型、僅かにn型の層も使用することができる（p型になるか、あるいはn型になるかは、テールステイト等の固有欠陥の分布による。）。

【0104】本発明の積層型光起電力素子のi型層としては、バンドギャップが均一な半導体の他に、シリコン原子とゲルマニウム原子とを含有してi型層の層厚方向にバンドギャップが滑らかに変化し、バンドギャップの極小値がi型層の中央の位置よりp型層とi型層の界面方向に片寄っているものも適している。また、i型層中にドナーとなる価電子制御剤とアクセプターとなる価電子制御剤とが同時にドーピングされているものも適している。

【0105】特に、p型層／i型層、n型層／i型層の各界面側で水素原子または／およびハロゲン原子の含有量が大きく分布しているものが好ましい分布形態として挙げられ、該界面近傍での水素原子または／およびハロゲン原子の含有量はバルク内の含有量の1.1～2倍の範囲が好ましい範囲として挙げられる。さらに、シリコン原子の含有量に対応して、水素原子または／およびハロゲン原子の含有量が変化していることが好ましい。シリコン原子の含有量が最小のところでの水素原子または／およびハロゲン原子の含有量は1～10at%が好ましい範囲で、水素原子または／およびハロゲン原子の含有量の最大の領域の0.3～0.8倍が好ましい範囲である。水素原子とハロゲン原子を同時に含有量している場合、ハロゲン原子の含有量は、水素原子の含有量よりも1/10以下であるのが好ましいものである。

【0106】水素原子または／およびハロゲン原子の含有量をシリコン原子に対応させて変化させる。すなわち、バンドギャップに対応して、バンドギャップの狭いところで水素原子または／およびハロゲン原子の含有量が少なくなっているものである。

【0107】メカニズムの詳細については不明ではあるが、本発明の堆積膜形成方法によれば、シリコン原子とゲルマニウム原子を含有する合金系半導体の堆積において、シリコン原子とゲルマニウム原子のイオン化率の違いによってそれぞれの原子が獲得する電磁波エネルギーに差が生じ、その結果、合金系半導体において水素含有量または／およびハロゲン含有量が少なくとも十分に緩和が進み、良質な合金系半導体を堆積することができるものと考えられる。

【0108】i型層の層厚は、光起電力素子の構造（例えば、シングルセル、タンデムセル、トリプルセルなど）、およびi型層のバンドギャップに大きく依存するが0.05～10μmが最適な層厚として挙げられる。

【0109】本発明の堆積膜形成方法によるシリコン原

子またはゲルマニウム原子を含有するi型層は、堆積速度を 5 nm/sec 以上に上げてても価電子帯側のテイルステイトが少ないものであって、テイルステイトの傾きは 60 meV 以下であり、かつ電子スピン共鳴(esr)による未結合手の密度は $5 \times 10^{17}/\text{cm}^3$ 以下である。

【0110】また、i型層のバンドギャップは、p型層/i型層、n型層/i型層の各界面方向で広くなるように設計することが好ましい。このように設計することによって、光起電力素子の光起電力、光電流を大きくすることができ、更に長時間使用した場合の光劣化等を防止することができる。

【0111】〈透明電極〉透明電極は、インジウム酸化物、インジウムスズ酸化物などの透明電極が適している。

【0112】透明電極の堆積には、スパッタリング法と真空蒸着法が最適な堆積方法として挙げられる。DCマグネトロンスパッタリング装置において、基板上にインジウム酸化物からなる透明電極を堆積する場合、ターゲットには金属インジウム(In)やインジウム酸化物(In_2O_3)などが用いられる。

【0113】また、基板上にインジウムスズ酸化物からなる透明電極を堆積する場合、ターゲットには金属スズ、金属インジウム、金属スズと金属インジウムの合金、スズ酸化物、インジウム酸化物、インジウムスズ酸化物などが適宜組み合わせられて用いられる。

【0114】スパッタリング法で堆積する場合、基板温度は重要な因子であって、 $25^\circ\text{C} \sim 600^\circ\text{C}$ が好ましい範囲として挙げられる。また、スパッタリング用のガスとしては、アルゴンガス(Ar)、ネオンガス(Ne)、キセノンガス(Xe)、ヘリウムガス(He)などの不活性ガスが挙げられ、特にArガスが最適である。また、上記の不活性ガスに酸素ガス(O_2)を必要に応じて添加することが好ましい。特に、金属をターゲットにしている場合には、酸素ガス(O_2)を添加することは必須である。

【0115】さらに、上記の不活性ガスによって効果的にスパッタリングを行うためには、放電空間の圧力は $0.1 \sim 50\text{ mTorr}$ の範囲であることが好ましい。加えて、スパッタリングの電源としてはDC電源やRF電源が適しており、スパッタリング時の電力としては $10 \sim 1000\text{ W}$ の範囲が適している。

【0116】透明電極の堆積速度は、放電空間内の圧力や放電電力に依存し、最適な堆積速度は $0.01 \sim 10\text{ nm/sec}$ の範囲である。

【0117】透明電極の層厚は、反射防止膜の条件を満たすような条件で堆積するのが好ましく、具体的には $50 \sim 300\text{ nm}$ が好ましい範囲として挙げられる。

【0118】真空蒸着法により透明電極を堆積するに適した蒸着源としては、金属スズ、金属インジウム、イン

ジウムスズ合金などが挙げられる。

【0119】また、透明電極を堆積するときの基板温度としては、 $25^\circ\text{C} \sim 600^\circ\text{C}$ の範囲が適している。

【0120】さらに、透明電極を堆積するとき、堆積室を 10^{-6} Torr 以下に減圧した後に、酸素ガス(O_2)を $5 \times 10^{-5}\text{ Torr} \sim 9 \times 10^{-4}\text{ Torr}$ の範囲で導入することが必要である。この範囲で酸素を導入することによって、蒸着源から気化した金属が気相中の酸素と反応して良好な透明電極が堆積される。

【0121】また、上記の真空度でRF電力を導入してプラズマを発生させ、該プラズマを介して蒸着を行ってもよい。

【0122】上記の条件による透明電極の堆積速度は、 $0.01 \sim 10\text{ nm/sec}$ の範囲であることが好ましい。堆積速度が 0.01 nm/sec 未満であると生産性が低下し、 10 nm/sec より大きくなると粗な膜となり透過率、導伝率や密着性が低下するからである。

【0123】〈集電電極〉本発明において、集電電極101は、透明電極102の抵抗率を充分低くできない場合に必要に応じて透明電極102上的一部分に形成され、電極の抵抗率を下げ、光起電力素子の直列抵抗を下げる働きをする。

【0124】集電電極の材料としては、金、銀、銅、アルミニウム、ニッケル、鉄、クロム、モリブデン、タングステン、チタン、コバルト、タンタル、ニオブ、ジルコニウムなどの金属、もしくはステンレス鋼などの合金、または粉末状金属を用いた導電ペーストなどが挙げられる。そして、その形状は、できるだけ半導体層への入射光を遮らないように、櫛状に形成される。

【0125】また、光起電力装置の全体の面積の中で、集電電極の占める面積は、好ましくは15%以下、より好ましくは10%以下、最適には5%以下が望ましい。

【0126】集電電極のパターンの形成にはマスクを用い、形成方法としては蒸着法、スパッタリング法、メッキ法、印刷法などが用いられる。

【0127】なお、本発明の積層型光起電力素子を用いて、所望の出力電圧、出力電流の光起電力装置を製造する場合には、本発明の光起電力素子を直列あるいは並列に接続し、表面と裏面に保護層を形成し、出力の取り出し電極等が取り付けられる。また、本発明の光起電力素子を直列接続する場合、逆流防止用のダイオードを組み込むことがある。

【0128】

【実施例】以下に、本発明の好適な実施例を添付図面に基づいて詳細に説明するが、本発明はこれらの実施例に限定されるものではない。

【0129】(実施例1)本実施例の積層型光起電力素子は、図2に示す堆積膜形成装置を用いて堆積したものである。表5に本実施例と比較実施例に使用した共通の堆積条件を示す。また、表6には、本実施例と比較実施

例の堆積条件の違い(i型層の堆積時間を変えてi型層の層厚を変えている。)と、その結果得られた各構成素子の電流値を示している。

【0130】
【表5】

		ガス				電力密度(W/cm ²)		真空度 mTorr	基板温度 ℃	層厚 Å
		SiH ₄	H ₂	PH ₃ (2X ₁₀)	BF ₃ (2X ₁₀)	RF	VHF			
ボトム	n1	2	48	0.5		0.0382		1300	225	200
	i1	25	750				0.12	300	250	*
	p1	0.025	35		1	1.15		2000	165	50
トップ	n2	2	48	0.5		0.0382		1300	225	100
	i2	2	48			0.0382		1150	200	*
	p2	0.025	35		1	1.15		2000	165	50

【0131】

【表6】

サンプルNo.	ボトム 光起電力素子の Jsc	トップ 光起電力素子の Jsc	単位	ボトム 光起電力素子の層厚 (Å)	トップ 光起電力素子の層厚 (Å)
1 (比較実施例)	11.50	11.5	mA/cm ²	10000	2000
2 (比較実施例)	12.50	11.5		11000	1500
3 (本発明)	10.50	12.5		10000	2500
4 (本発明)	11.00	14.0		13000	3000

【0132】各構成素子の光電流は、分光感度特性から計算により求めた。分光感度特性は、日本分光株式会社製のYQ-250BXを使用して測定した。形成した光起電力素子は山下電装株式会社製のYSS-150を使用し、AM1.5のスペクトルを1sunの光強度で光照射した。光照射時の光起電力素子の温度は50℃に保持されるように制御し、光照射は約2000時間行っ

た。光照射前後の光起電力素子の特性は、WACOM株式会社製のWXS-130S-20Tを光源として使用して測定した。光源のスペクトルはAM1.5で、光強度は1sunで、光起電力素子の特性を評価した。その結果を表7に示す。

【0133】

【表7】

サンプルNo.	1	2	3	4
劣化率 (%)	10	12	8	7

【0134】本実施例のサンプルNo. 3と4で光劣化率が、比較実施例よりも減少している。

【0135】本実施例の光起電力素子について、光起電力素子の断面を観察するために断面の薄膜サンプルを作成して、透過型電子顕微鏡により観察した。ボトム光起電力素子のi型層の微結晶シリコンからなる層は、結晶形状が厚さ方向に伸びた柱状晶形状をしていた。また、微結晶の結晶粒径は、厚さ方向の長さと同程度の長さを平均して計算すると約400Åであった。

【0136】(実施例2)本実施例は、非単結晶半導体の結晶粒径と光劣化の関係を検討した。光起電力素子の堆積条件は実施例1のサンプルNo. 3に準じて作成し

た。ボトム光起電力素子のi型層の堆積条件を表8に示す条件にした。i型層の結晶粒径は、実施例1と同様に、断面観察用のサンプルを光起電力素子から切り出して作成し、透過型電子顕微鏡で観察した。表8には、透過型電子顕微鏡で測定した平均結晶粒径の結果も示されている。

【0137】表8に示すような6種類の光起電力素子について、実施例1と同様にして、光劣化特性を測定した。表8には、各サンプルの光劣化率も併せて示されている。

【0138】

【表8】

サンプルNo	SiH ₄ 流量 (sccm)	H ₂ 希釈率	平均結晶粒径 (Å)	劣化率 (%)
1	50	1	非晶質	15
2	50	2	50	10
3	50	10	100	8
4	50	20	200	8
5	50	30	300	8
6	50	90	500	8
7	50	100	1000	8
8	50	100	2000	初期特性が低い アニーリング

【0139】本発明の積層型光起電力素子に適した結晶粒径の範囲である100Å以上で1000Å以下の結晶粒径において、良好な劣化率を示している。また、レーザーアニーリングして結晶粒径を大きくした光起電力素子(サンプルNo. 8)においては、初期特性が低いものであった。

【0140】

【発明の効果】以上説明したように、本発明によれば、積層光起電力素子の第一のp i n接合の構成素子のi型層に微結晶半導体を用い、第二のp i n接合の構成素子のi型層にアモルファス半導体を用いる場合において、光電変換効率が高く、長時間の光照射によっても光電変換効率の変化をより少なくすることができるという優れた効果を発揮する。

【図面の簡単な説明】

【図1】本発明の積層型光起電力素子の層構造の一形態を示す概略図である。

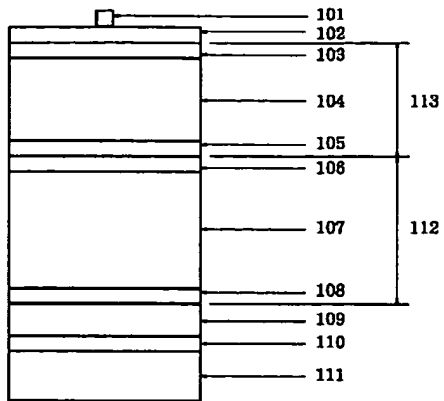
【図2】本発明の積層型光起電力素子を作成するための堆積膜形成装置を示す模式図である。

【符号の説明】

- 101 集電電極
- 102 透明電極
- 103 pまたはn型層
- 104 i型層
- 105 nまたはp型層
- 106 pまたはn型層

- 107 i型層
- 108 nまたはp型層
- 109 反射増加層
- 110 反射層
- 111 基板
- 112 ボトム光起電力素子
- 113 トップ光起電力素子
- 201 ロードチャンバー
- 202 微結晶シリコンi型層チャンバー
- 203 アモルファスシリコンi型層、p型層、n型層のRFチャンバー
- 204 微結晶シリコンゲルマニウムi型層チャンバー
- 205 アンロード室
- 206、207、208、209 ゲートバルブ
- 210 プラズマCVD室
- 211 基板加熱用のヒーター
- 212 n型層堆積用ヒーター
- 213 i型層堆積用ヒーター
- 214 p型層堆積用ヒーター
- 215 n型層堆積用の堆積室
- 216 i型層堆積用の堆積室
- 217 p型層堆積用の堆積室
- 218 ヒーター
- 219 プラズマCVD室
- 220 レール
- 221 基板ホルダー

【図1】



【図2】

